

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 1 月 10 日 (10.01.2002)

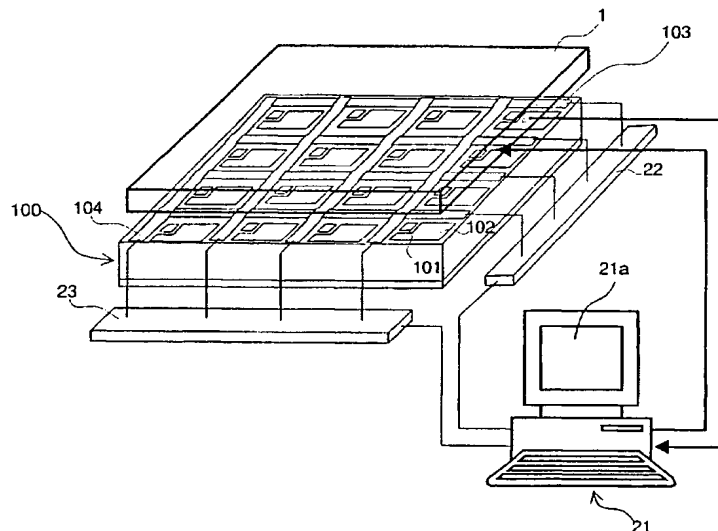
PCT

(10) 国際公開番号  
WO 02/03083 A1

- (51) 国際特許分類: G01R 31/02, 31/00, G02F 1/136 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 藤井達久 (FUJII, Tadahisa) [JP/JP]; 〒721-0971 広島県福山市蔵王町1-18-32 Hiroshima (JP). 石岡聖悟 (ISHIOKA, Shogo) [JP/JP]; 〒720-2124 広島県深安郡神辺町大字川南827-3 Hiroshima (JP).
- (21) 国際出願番号: PCT/JP01/05838
- (22) 国際出願日: 2001 年 7 月 5 日 (05.07.2001)
- (25) 国際出願の言語: 日本語 (81) 指定国 (国内): CA, CN, KR, SG, US.
- (26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (30) 優先権データ:  
特願2000-204263 2000 年 7 月 5 日 (05.07.2000) JP 添付公開書類:  
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): オー・エイチ・ティー株式会社 (OHT INC.) [JP/JP]; 〒720-2103 広島県深安郡神辺町字西中条1118番地の1 Hiroshima (JP).  
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INSPECTION APPARATUS AND INSPECTION METHOD

(54) 発明の名称: 検査装置及び検査方法



(57) Abstract: An inspection apparatus and an inspection method for inspecting the shape of a substrate for liquid crystal panel efficiently with high precision. A computer (21) controls an X electrode selecting section (22) and an Y electrode selecting section (23) to drive liquid crystal electrodes on a substrate (100) selectively. A flash shock sensor (1) disposed oppositely to and in noncontact with the substrate (100) detects potential variation of the liquid crystal electrodes (101-104) and delivers it as a detection signal to the computer (21). Upon receiving the detection signal from the flash shock sensor (1), the computer (21) generates image data and open circuit, short circuit or blemishes of the liquid crystal electrodes is detected based on that image data. Furthermore, the computer (21) presents an image indicative of the shape of the liquid crystal electrodes on a display (21a).

[続葉有]

WO 02/03083 A1



---

(57) 要約:

液晶パネル用の基板の形状を精細に、且つ効率的に検査可能な検査装置及び検査方法を提供すること。

コンピュータ 21 は、X 電極選択部 22 及び Y 電極選択部 23 を制御することにより、基板 100 上の液晶電極を選択的に駆動させる。フラッシュショックセンサ 1 は、基板 100 に対向する位置に、非接触に配置され、液晶電極 101～104 の電位変化を検出し、検出信号としてコンピュータ 21 へ出力する。コンピュータ 21 は、フラッシュショックセンサ 1 からの検出信号を受信して、画像データを生成し、その画像データに基づいて、液晶電極の断線、短絡、欠け等を検出する。更に、コンピュータ 21 は、液晶電極の形状を示す画像をディスプレイ 21a に表示する。

## 明細書

## 検査装置及び検査方法

## 5 技術分野

本発明は、液晶パネル用基板の電極の検査装置及び検査方法に関する。

## 背景技術

10 従来から、液晶パネル用基板の電極の不具合を検出するため、液晶パネルを組み立てた後に、全ての液晶画素を駆動（充電）したのち、各画素の電化を放電させ、放電電流を液晶パネルの外部に設けた抵抗に流して、その電圧降下を検出していた。

15 しかし、上記従来の液晶パネル検査手法では、 $50\mu\text{m}$ レベルの回路パターンを分解能高く検査することは不可能であり、また、比較的大きな電極であっても、その形状までは検知することができなかった。更に、液晶パネルを組み立ててから検査するため不良品であることが判明した場合に、生産性が大きく低下する可能性があり、検査装置の液晶パネルへのセッティングも煩雑であった。

20 本発明は上記従来技術の課題を解決するためになされたもので、その目的とするところは、液晶パネル用の基板の形状を精細に、且つ効率的に検査可能な検査装置及び検査方法を提供することにある。

## 発明の開示

25 上記目的を達成するため、本発明に係る装置は、液晶パネル用基板に液晶駆動用の信号が供給されることによる、該液晶パネル用基板の電極

の電位変化を、非接触で検出する検査装置であって、前記電極の電位変化を、複数のセンサ要素を用いて検出する検出手段と、前記センサ要素を選択するための選択信号を出力する選択手段と、を備え、前記センサ要素は、半導体の単結晶上、または、平板上に構成され、前記電極に対し静電容量結合の対向電極として動作し、前記電極の電位変化を検出する受動素子と、前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、を含むことを特徴とする。

前記センサ要素を、前記液晶パネルを構成する対向電極の代わりに配置することを特徴とする。

前記液晶パネルはTFTパネルであって、前記検出手段は、該TFTパネルを構成する薄膜トランジスタのソース電極及びゲート電極に液晶駆動用の信号を印加することによる、ドレイン電極の電位変化を検出することを特徴とする。

前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲートに接続し、前記第1MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1

M O S F E T のソース電位を前記第 2 M O S F E T のドレインで受けて、ソースから検出信号として出力することを特徴とする。

5 前記トランジスタは、直列に配置された第 1、第 2 薄膜トランジスタであって、前記受動素子を前記第 1 薄膜トランジスタのゲートに接続し、前記選択信号を前記第 2 薄膜トランジスタのゲートに接続し、前記第 1 薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第 1 薄膜トランジスタのソース電位を前記第 2 薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする。

10 前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする。

15 前記トランジスタは電荷読出し用の M O S F E T であって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする。

20 前記電極の電位変化に対応して前記受動素子に電荷を供給し、かつ電極の電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給 M O S F E T のドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする。

前記センサ要素は、マトリクス状に配置されていることを特徴とする。

25 前記検出手段におけるセンサ要素は、前記受動素子の表面に接触する導体板を更に含むことを特徴とする。

更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手

段を有することを特徴とする。

上記目的を達成するため、本発明に係る方法は、液晶パネル用基板に液晶駆動用の信号を供給することによる、該液晶パネル用基板の電極の電位変化を、複数のセンサ要素を用いて非接触で検出する液晶パネルの検査方法であって、前記センサ要素が、半導体の単結晶上、または、平

5 板上に構成され、前記電極に対し静電容量結合の対向電極として動作し、前記電極の電位変化を検出する受動素子と、前記受動素子からの検出信号を出力するトランジスタと、を含むことを特徴とする。

## 10 図面の簡単な説明

第1図は、本発明の第1の実施の形態に係る検査装置を利用した検査システムの概略図である。

第2図は、本発明の第1の実施の形態に係る検査システムの回路図である。

15 第3図は、本発明の第1の実施の形態に係るTFTパネル用基板の断面図である。

第4図は、本発明の第1の実施の形態に係るコンピュータの内部構成を示す図である。

20 第5図は、本発明の第1の実施の形態に係るフラッシュショックセンサの電氣的構成を示すブロック図である。

第6図は、本発明の第1の実施の形態に係るセンサ要素の詳細説明図である。

25 第7図は、本発明の第1の実施の形態に係るセンサ要素において、液晶電極の電位変化に応じて電流が発生する原理を説明するためのモデル図である。

第8図は、本発明の第1の実施の形態に係るセンサ要素において、液

晶電極の電位変化に応じて電流が発生する原理を説明するためのモデル図である。

第9図は、本発明の第1の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

5 第10図は、本発明の第1の実施の形態に係るセンサ要素の変形例を示す図である。

第11図は、本発明の第2の実施の形態に係るセンサ要素の構成を説明する図である。

10 第12図は、本発明の第2の実施の形態に係るセンサ要素において、液晶電極の電位変化に応じて電圧が出力される原理を説明するためのモデル図である。

第13図は、本発明の第2の実施の形態に係るセンサ要素において、液晶電極の電位変化に応じて電圧が出力される原理を説明するためのモデル図である。

15 第14図は、本発明の第2の実施の形態に係るセンサ要素において、リセット信号入力時の動作を説明するためのモデル図である。

第15図は、本発明の第2の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

20 第16図は、本発明の第3の実施の形態に係るセンサ要素の構成を説明する図である。

第17図は、本発明の第4の実施の形態に係るセンサ要素の構成を説明する図である。

発明を実施するための最良の形態

25 以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成要素の相

対配置、数値等は、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

（第 1 の実施の形態）

本発明の第 1 の実施の形態として、M O S F E T をセンサ要素とする  
5 検査ユニット（以下、フラッシュショックセンサ（商標）と称する）1  
を利用した液晶パネル用の基板検査システムの一例を示す。図 1 は、フ  
ラッシュショックセンサ 1 を用いて、液晶パネル用基板の検査を行う様  
子を示す概略図である。ここでは、液晶パネルの 1 例として、T F T パ  
ネルを検査する場合について述べる。

10 検査システム 20 は、主に、フラッシュショックセンサ 1 と、コンピ  
ュータ 21 とからなる。液晶パネル用基板 100 には、アクティブ素子  
101、及び液晶駆動用電極 102、X 電極 103、Y 電極 104 が施  
されている。液晶パネル用基板には、複数の X 電極 103 の一つに選択  
的に信号を供給するための X 電極選択部 22 と、複数の Y 電極 104 の  
15 一つに選択的に信号を供給するための Y 電極選択部 23 とが設けられて  
いる。コンピュータ 21 は、X 電極選択部 22 及び Y 電極選択部 23 を  
制御することにより、基板 100 上の複数のアクティブ素子 101 と液  
晶駆動用電極 102 とのセットから、1 セットを選択的に駆動させるこ  
とができる。

20 フラッシュショックセンサ 1 は、基板 100 に対向する位置に、非接  
触に配置されている。そして、X 電極選択部 22 及び Y 電極選択部 23  
からの信号によって生じた、液晶パネル用基板上の電極（以下、液晶電  
極と称す）101～104 の電位変化を検出し、検出信号としてコンピ  
ュータ 21 へ出力する。フラッシュショックセンサ 1 と基板 100 との  
25 間隔は、0.05 mm 以下が望ましいが、0.5 mm 以下であれば電位  
変化の検出が可能である。また、基板 100 とフラッシュショックセン



サ 1 とを、誘電体絶縁材料を挟んで密着させてもよい。

コンピュータ 2 1 は、フラッシュショックセンサ 1 に対しては、セレクト 2 3 に供給した制御信号に同期してフラッシュショックを動作させるための同期信号（垂直同期信号（V s y n c）、水平同期信号（H s y n c）及び基準信号（D c l k）を含む）を供給する。また、コンピュータ 2 1 は、液晶パネル用基板に施された液晶電極に順次電圧を印加し、その液晶電極に対向するセンサ要素を動作させ、フラッシュショックセンサ 1 からの検出信号を受信して、画像データを生成し、その画像データに基づいて、基板 1 0 0 上の液晶電極の断線、短絡、欠け等を検出する。更に、コンピュータ 2 1 は、各センサ要素からの検出信号に基づいて、検査対象である液晶電極の画像をディスプレイ 2 1 a に表示する機能を有する。

なお、図 1 では、液晶パネル用基板 1 0 0 とフラッシュショックセンサ 1 とが、同じサイズかのように描かれているが、一般には、液晶パネル用基板 1 0 0 はフラッシュショックセンサ 1 の数倍の大きさであって、フラッシュショックセンサ 1 を機械的に移動させ、或いは複数用いることにより、基板上の全ての液晶電極の検査を実現する。もちろん、複数のフラッシュショックセンサ 1 を同時に移動させることにより、検査時間の短縮化を図ってもよい。

液晶パネルを組み立てる際には、この基板 1 0 0 と対向電極との間で液晶を挟み込み、液晶駆動用電極 1 0 2 と対向電極との間の電界によって液晶を駆動する。本実施の形態のように、フラッシュショックセンサ 1 を用いれば、実際の液晶パネル組み立て時と同じ条件で基板 1 0 0 の動作を検査することができるため、検査の信頼性が高く、また、基板 1 0 0 を特別に加工する必要もないため、効率的に検査を行うことができる。

図 2 は、液晶パネル用基板 1 0 0 の回路構成を示す回路図である。各アクティブ素子 1 0 3 は、図のように薄膜トランジスタにより構成されており、ソース電極、ゲート電極、ドレイン電極を含む。検査時には主にそのドレイン電極と、フラッシュショックセンサ 1 との間で、静電容量結合が起こり、その電極の電位変化を検出可能となる。なお、この図ではドレイン電極とセンサとの間のみ静電容量結合を起こしているように描かれているが、センサは、対向する全ての液晶電極との間で静電容量結合を起こすため、ドレイン電極のみならず、ソース電極、ゲート電極、更には、液晶駆動電極の形状も検出できる。

なお、本実施の形態としてのアクティブ素子 1 0 3 は、図 3 のような断面形状をしているため、センサ 1 との距離の差に応じて、各液晶電極の画像鮮鋭度が異なる結果となる。

次に、図 4 を用いて、コンピュータ 2 1 の内部構成について説明する。

図 4 は、コンピュータ 2 1 の概略のハードウェア構成を示したブロック図である。

2 1 1 は、コンピュータ 2 1 全体を制御する演算・制御用の C P U、2 1 2 は C P U 2 1 1 で実行するプログラムや固定値等を格納する R O M、2 1 3 は、入力したデジタルデータを処理して画像データを生成し、ディスプレイ 2 1 a に出力する画像処理部である。2 1 4 は、一時記憶用の R A M であり、ロードされるプログラムを格納するプログラムロード領域や、フラッシュショックセンサから受信したデジタル信号の記憶領域等を含む。受信したデジタル信号は、各液晶電極 1 0 1 ~ 1 0 4 の形状に対応するセンサ要素のグループ毎に保管する。

2 1 5 は外部記憶装置としてのハードディスク（H D）である。2 1 6 は着脱可能な記憶媒体の読取装置としての C D - R O M ドライブであ

る。

また、217は入出力インタフェースであって、入出力インタフェース217を介して、入力装置としてのキーボード218、マウス219、更には、フラッシュショックセンサ1やX、Y電極選択部22、23とも信号の授受を行なう。

HD215には、フラッシュショックセンサ制御プログラム、X、Y電極選択部制御プログラム、画像処理プログラム等が格納され、それぞれ、RAM214のプログラムロード領域にロードされて実行される。また、フラッシュショックセンサ1によって検査された液晶電極の形状を示す画像データ、及び、設計上の液晶電極の形状を示す画像データも、HD215に格納される。画像処理プログラムは、設計上の液晶電極の形状と実際に検出された液晶電極の形状とを比較し、欠陥の有無を判別する。

フラッシュショックセンサ1から入力した画像データは、各液晶電極の形状に対向するセンサ要素グループを判定単位として記憶する場合と、全部のセンサ要素の一フレーム分を判定単位として記憶する場合とがある。

フラッシュショックセンサ制御プログラム、X、Y電極選択部制御プログラム、画像処理プログラム及び、設計上の液晶電極の形状を示す画像データは、CD-ROMドライブで、CD-ROMを読取ることによってインストールしても、FDやDVD等の他の媒体から読込んでも、ネットワークを介してダウンロードしてもよい。

図5は、フラッシュショックセンサ1の電氣的構成を示すブロック図である。

フラッシュショックセンサ1は、図のような電氣的構成を持ち、不図示のパッケージに取付られた構成となっている。

フラッシュショックセンサ 1 は、制御部 1 1 と、複数のセンサ要素 1 2 a からなるセンサ要素群 1 2 と、水平方向に並んだ複数のセンサ要素から構成されるセンサ要素ライン 1 2 b を選択するための縦選択部 1 4 と、センサ要素 1 2 a からの信号の取りだしを行う横選択部 1 3 と、各  
5 センサ要素ライン 1 2 b を選択するための選択信号を発生するタイミング生成部 1 5 と、横選択部 1 3 からの信号を処理する信号処理部 1 6 と、信号処理部 1 6 からの信号を A/D 変換するための A/D コンバータ 1 7 と、フラッシュショックセンサ 1 を駆動するための電力を供給するための電源回路部 1 8 と、を備える。

10 制御部 1 1 は、コンピュータ 2 1 からの制御信号に従って、フラッシュショックセンサ 1 の動作を制御するためのものである。制御部 1 1 は、制御レジスタを有し、センサの動作タイミング、増幅、基準電圧、及びセンサ要素エリアの大きさを設定する。また、複数のフラッシュショックセンサを同時使用する場合に、フラッシュショックセンサがホスト  
15 CPU から区別できるように、センサ選択番号を設定することもできる。

センサ要素 1 2 a は、マトリックス状（縦 4 8 0 × 横 6 4 0）に配置され、液晶電極 1 0 1 に供給された検査信号に応じた液晶電極 1 0 1 上の電位変化を非接触で検出する。

20 タイミング生成部 1 5 は、コンピュータ 2 1 から垂直同期信号（V s y n c）、水平同期信号（H s y n c）及び基準信号（D c l k）を供給され、縦選択部 1 4、横選択部 1 3、信号処理部 1 6、A/D コンバータ 1 7 に、センサ要素 1 2 a を選択するためのタイミング信号を供給する。

25 縦選択部 1 4 は、タイミング生成部 1 5 からのタイミング信号に従って、センサ要素群 1 2 の少なくともいずれか一つの行を順次選択する。

縦選択部 1 4 により選択されたセンサ要素ライン 1 2 b の各センサ要素 1 2 a から、検出信号が一度に出力され、横選択部 1 3 に入力される。横選択部 1 3 は、6 4 0 個の端子から出力されたアナログの検出信号を増幅した後、一旦ホールドし、マルチプレクサ等の選択回路により、  
5 タイミング生成部 1 5 からのタイミング信号に従って、順番に信号処理部 1 6 に出力する。

信号処理部 1 6 は、横選択部 1 3 からの信号を、判定処理に必要なレベルまでさらに増幅し、雑音を除去するフィルタを通す等のアナログ信号処理を行い、A/D コンバータ 1 7 へ送出する。また、信号処理部 1  
10 6 はまた、オートゲインコントロールを有し、センサの読出し信号の電圧増幅率を自動的に最適値に設定する。

A/D コンバータ 1 7 は、信号処理部 1 6 からアナログ形式で送出された各センサ要素 1 2 a の検査信号を、例えば 8 ビットのデジタル信号に変換し、出力する。

15 電源回路 1 8 は、信号処理部の基準クランプ電圧等を生成する。

なお、ここでは、フラッシュショックセンサ 1 に A/D コンバータ 1 7 が内蔵されているが、信号処理部でアナログ処理されたアナログ信号をそのままコンピュータ 2 1 に出力してもよい。

次に、センサ要素 1 2 a の動作について説明する。図 6 は、一つのセンサ要素 1 2 a の構成を説明する図である。  
20

センサ要素 1 2 a は、MOS 型の半導体素子 (MOSFET) であり、拡散層の一方の表面積が他方の表面積よりも大きくなるように生成されている。表面積が大きい方の拡散層が受動素子となり、液晶電極 1 0 1 に対向している。この受動素子は、MOSFET のソースと連続して  
25 いる。ゲートは縦選択部 1 4 に接続されており、ドレインは横選択部 1 3 に接続されている。また、受動素子の拡散層には不要電荷を吐き出す

ポテンシャル障壁が設けてある。

タイミング生成部 1 5 により縦選択部 1 4 を介して、センサ要素 1 2 a が選択されると、縦選択部 1 4 からゲートへ信号が送出され、センサ要素 1 2 a は ON（検出信号出力可能状態）となる。

5       この時、液晶電極に検査信号としての電圧が印加されると、液晶電極 1 0 1 の電位が変化し、これに伴い、ソースからドレインへ電流が流れる。これが検出信号となって横選択部 1 3 を介して、信号処理部 1 6 へ送出される。なお、センサ要素 1 2 a に対向する位置に液晶電極 1 0 1 が存在しない場合には、電流は流れない。

10       このため、検出信号としての電流出力があったセンサ要素 1 2 a の位置を解析すれば、液晶パネル用基板 1 0 0 のどの位置に、液晶電極 1 0 1 が存在するかがわかる。

      ここで、ソースからドレインへ電流が流れる原理について、更に詳しく説明する。図 7、図 8 は、この原理を分かりやすく説明するためのモデル図であり、図 7 は、液晶電極に電圧が印加されていない状態、図 8  
15       は印加された状態を示す。これらの図は共に、選択信号がゲートに入力され、ゲートが ON になっている状態を示している。

      図 7 のように、液晶電極に電圧が印加されていなければ、拡散層の余分な電荷が、OFF しているゲートの下の電位障壁のポテンシャルより  
20       も低い吐き出しポテンシャル障壁から溢れ出る。その場合、ソースの電位は吐き出しのポテンシャルで確定する。

      次に、図 8 のように、液晶電極に電圧 V が印加されると、液晶電極が + に帯電する（電位 V となる）。ここで、液晶電極と、ソース側拡散層とは、微小距離だけ離間しているため、対向するソース側拡散層は液晶  
25       電極の電位変化の影響を受け、電位が V となって電荷が流れ込む。即ち、液晶電極とソース側拡散層とが静電容量結合しているように動作し、

ソース側拡散層のポテンシャルが低くなって、電子が流れ込み、ソースからドレインに向かって電流が流れる。

液晶電極が再びグラウンドに接続されると、ソース側拡散層のポテンシャルは元に戻り、余剰の電子は徐々に吐き出しポテンシャル障壁から逃がされる。

図9は、図6のようなMOSFETを用いた場合の入出力タイミングを示すタイミングチャートである。

図9に示すように、液晶電極に電圧が印加されると、出力電流が得られる。ただし、電流は、電圧の印加と同時にピークを示し、その後、指数関数的に減少するため、横選択部13では、電圧印加のタイミングに合わせて検出し、ホールドしている。

上述してきたように、センサ要素が、半導体の単結晶上に構成され、液晶電極に対し静電容量結合の対向電極として動作し、液晶電極の電位変化を検出する受動素子と、この受動素子と連続し、受動素子から出力された検出信号である出力電流を選択信号のゲート入力時に出力するMOS型トランジスタと、を備えたので、センサ要素を極微細に製造することができる。

つまり、現在確立されているトランジスタ製造技術をそのまま用いて、センサ要素群を製造できるため、センサ要素自体も、その間隔も超微細にすることができる。これにより、液晶パネル用基板上にプリントされた液晶電極の形状を高解像度に表現することができ、その欠け等も的確に検知することができる。また、センサ要素群を製造するのに、特別な製造装置を必要としないため、生産性が著しく向上するという効果を奏する。

なお、被検査対象としての液晶パネル用基板は、TFTパネル用基板に限らず、STNパネルやMIMパネルなど、他の液晶パネル用基板で

あってもよい。さらに、プラズマディスプレイパネル用基板の検査にフラッシュショックセンサを適用することも可能である。

各センサ要素 1 2 a の形状は、図 5 に示すように全て形状を統一することが望ましい。これは、液晶電極に現れる信号の受信を、各センサ要素 1 2 a でムラ無く行うためである。

また、各センサ要素 1 2 a は、図 5 に示すように、行方向及び列方向にそれぞれ等間隔に配列されたマトリックス状に構成することが望ましい。そうすれば、液晶電極に面する単位面積あたりのセンサ要素 1 2 a の数のムラを低減することができると共に、各センサ要素 1 2 a 間の相対的な位置関係を明らかにし、検出信号による液晶電極の形状の特定を容易化することができるからである。但し、単に 1 列分だけ配置するようにしてもよい。

フラッシュショックセンサ 1 では、センサ要素 1 2 a は、4 8 0 行 6 4 0 列の配列としているが、これは本実施形態において便宜的に定めたものであり、現実には、例えば、5 乃至 5 0  $\mu\text{m}$  角に 2 0 万から 2 0 0 万個のセンサ要素を配置することもできる。より正確な検査を実現すべく、液晶電極の線幅に応じた、センサ要素 1 2 a の大きさ、間隔を設定することが望ましい。

ここでは、Nチャネル MOS FET をセンサ要素としたが、本発明はこれに限定されるものではなく、Pチャネル MOS FET を用いてもよい。

図 6 で、受動素子を n 型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、非晶質半導体であってもよい。

更に、図 1 0 のように、受動素子としてのソース側拡散層上に、導電板 7 1 をオーミックコンタクトさせてもよく、このようにすれば、受動



素子表面の電気伝導度を高く、すなわち、受動素子表面近傍に信号電荷を集中させることができ、信号電荷密度を高くすることができるため、静電容量結合をより強くすることができる。導電板 7 1 は、金属の薄膜であっても多結晶半導体であってもよい。

5           (第 2 の実施の形態)

次に図 8 乃至図 1 2 を用いて、本発明の第 2 の実施の形態としてのフラッシュショックについて説明する。

10           本実施の形態のフラッシュショックは、センサ要素として、半導体の拡散層を液晶電極からの信号受信素子とした電荷電圧変換回路を用いた点について、上記第 1 の実施の形態と異なる。その他の点については、第 1 の実施の形態と同様であるため、ここでは説明を省略し、図上では、同じ構成要素を同じ符号を付して示す。

図 1 1 は、本実施の形態に係るセンサ要素 1 2 a の構成を説明する図である。

15           本実施の形態に係るセンサ要素 1 2 a も、上記第 1 の実施の形態に係るセンサ要素と同様に、受動素子 8 0 として、比較的表面積の大きな拡散層を備えている。受動素子 8 0 は、M O S F E T 8 1 のゲート及び、M O S F E T 8 2 のソースに接続されている。また、M O S F E T 8 1 のドレインには電源回路部 1 8 から電圧 V D D が印加されており、M O  
20           S F E T 8 1 のソースは、M O S F E T 8 3 のドレインに接続されている。M O S F E T 8 2 のゲートには、縦選択部 1 4 からのリセット信号が入力され、M O S F E T 8 2 のドレインには、電源回路部 1 8 から電圧 V D D が印加されている。M O S F E T 8 3 のゲートには、縦選択部 1 4 から選択信号が入力され、M O S F E T 8 3 のソースからの出力は  
25           、横選択部 1 3 に入力される。

ここで、受動素子 8 0 が検出した液晶電極 1 0 1 の電位変化が、M O

S F E T 8 3 のソースからの出力電圧に変換される原理について、更に詳しく説明する。図 1 2、図 1 3 は、この原理を分かりやすく説明するためのモデル図であり、図 1 2 は、液晶電極に電圧が印加されていない状態、図 1 3 は印加された状態を示す。これらの図は共に、選択信号が

5 MOS F E T 8 3 のゲートに入力され、ゲートが O N になっている状態を示している。

図 2 のように、液晶電極に電圧が印加されていなければ、受動素子 8 0 内の電子は、拡散層のポテンシャルに閉じ込められており、M O S F E T 8 1 のゲートには、L o の電圧が印加される。従って、ソースフォ

10 ロウ動作する M O S F E T 8 1 のソース側は、M O S F E T のしきい値電圧だけゲートより低い電位が出力される。

次に、図 1 3 のように、液晶電極に電圧 V が印加されると、対向する受動素子 8 0 は、液晶電極の電位変化の影響を受け、その表面に電子が集まろうとするが、流入する電子が無いため、もともと存在した電子が

15 表面近くに密集し、表面ポテンシャルを下げる。つまり電位が上昇する。M O S F E T 8 1 のゲートは、受動素子 8 0 の表面と接続されているため、H i の電圧が印加されることになり、ソースフォロウ動作する M O S F E T 8 1 のソース側は、M O S F E T のしきい値電圧だけゲートより低い電位が出力されるが、前述の液晶電極に電圧を印加しない場合

20 よりも高い電圧が出力される。

液晶電極が再びグランドに接続されると、受動素子 8 0 内の電子は、再び分散し、M O S F E T 8 1 のゲートの電位は L o となる。

このように、液晶電極に対する電圧の O N / O F F の切替えだけでは、理論上は、受動素子 8 0 内の全電荷量は変化しない。しかし、実際には、受動素子 8 0 の周囲から電子が侵入することがあり、これを放置し

25 ておけば、液晶電極に電圧が印加されていない状況での受動素子のポテ

ンシャルが上昇し、電位が下がる。つまり、その雑音電子によって発生する雑音電位が、オフセット電位として受信信号に重なり経時変化する。そこで、図14のように、MOSFET 82のゲートにリセット信号を入力し、電源と、受動素子80とを導通させて、受動素子80内の余  
5 分な電子を逃がしてやり、電位を一定に保っている。

図15は、図11のようなMOSFET回路を用いた場合の入出力タイミングを示すタイミングチャートである。

図15に示すように、選択信号をONにした後、リセット信号を一定時間ONにして、受動素子80の電位の経時変化を抑える。このとき、  
10 MOSFET 81のゲートの電位が上昇し、MOSFET 83のドレインからの出力電圧も少し大きくなる。これをリセット信号のカップリングノイズと呼ぶ。リセット信号をOFFにした後、今度は液晶電極に電圧Vを印加する。液晶電極に電圧Vが印加されると、MOSFET 83のドレインからの出力電圧はHiとなり、そのセンサ要素12aに対向  
15 する位置に液晶電極が存在することがわかる。

ただし、カップリングノイズを出力電圧と誤って検出しないように、出力電圧の検出タイミングを調整し、又は、ハイパスフィルタを通して  
いる。

このように、センサ要素に、図11のような電荷電圧変換回路を用いたので、増幅した電圧の形で検出信号を取り出すことができ、検出信号  
20 を明確に識別できるので、より正確な液晶パネル用基板の検査を行なうことができる。

なお、リセット信号の入力タイミングは、図15に示したタイミングに限定されるわけではなく、他のタイミングであってもよい。

25 また、図11で、受動素子80をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、金属の薄膜や、

多結晶半導体であっても、非晶質半導体であってもよい。

(第 3 の実施の形態)

次に図 1 6 を用いて、本発明の第 3 の実施の形態としてのフラッシュショックセンサについて説明する。

- 5       本実施の形態のフラッシュショックセンサは、センサ要素として、バイポーラトランジスタを用いた点について、上記第 1 の実施の形態と異なる。その他の点については、第 1 の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

10       図 1 6 は、本実施の形態に係るセンサ要素の構成を説明する図である。

15       液晶電極の電位変化を検出する受動素子は、抵抗素子からなり、その抵抗素子と、バイポーラトランジスタのエミッタが接続されている。また、ベースには縦選択部 1 4 からの選択信号が入力され、コレクタから出力される検出信号としての出力電流は横選択部 1 3 を介して信号処理部 1 6 に入力される。

20       このセンサ要素 1 2 a の動作は、図 7、図 8 で説明した MOSFET の動作とほぼ同様である。ベースに選択信号が印加されると、バイポーラトランジスタのエミッタである N+ 拡散層とコレクタである N+ 拡散層とが導通し、液晶電極の電位が上昇して抵抗素子の P 拡散層に電子が集まることによって、コレクタから電流が出力され、横選択部 1 3 で増幅された後、タイミング生成部 1 5 で生成されたタイミング信号に合せて信号処理部 1 6 に入力される。

      このように、センサ要素にバイポーラトランジスタを用いれば、検出信号を出力を高速に、且つ正確に行なうことができる。

25       尚、ここでは、npn 型のバイポーラトランジスタを用いたが、pnp 型であってもかまわない。

(第4の実施の形態)

次に図17を用いて、本発明の第4の実施の形態としてのフラッシュショックについて説明する。

5 本実施の形態のフラッシュショックは、センサ要素として、TFT等の薄膜トランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

図17は、本実施の形態に係るセンサ要素の構成を説明する図である。

10 液晶電極の電位変化を検出する受動素子80は、クロム等の電極であって、この電極と薄膜トランジスタのソースとが連続している。また、ゲートには縦選択部14からの選択信号が入力され、ドレインから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。ソースとドレインの下層には、アモルファスSi又は多結晶-Si等の薄膜半導体層が存在する。

20 このセンサ要素12aの動作は、図7、図8で説明したMOSFETの動作とほぼ同様である。ゲートに選択信号が印加されると、ゲートの下の半導体層にチャネルが発生し、薄膜トランジスタのソースとドレインとが導通する。そして、液晶電極の電位が上昇して受動素子80としての電極に電子が集まることによって、ドレインから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合わせて信号処理部16に入力される。

25 このようにセンサ要素に薄膜トランジスタを用いれば、センサ要素の生産性を向上し、また、センサアレイの面積をより大きくすることができる。

尚、上記第2の実施の形態に示した電荷電圧変換回路において、MO

S F E Tを全てこの薄膜トランジスタに置換えることもでき、その場合も同様の効果を得ることができる。

(その他の実施の形態)

5 上記第1、第3又は第4の実施の形態に示したセンサ要素に、流れ込んだ電子を保持する機能を持たせてもよい。

つまり、受動素子に、電子が溜まる構造にすれば、溜まった電子は、リセットMOSで電源に吸い上げられるまで保持される。このため、センサ要素を選択して、液晶電極に検査信号としての電圧を印加しはじめた直後から、そのセンサ要素をリセットするまでに、検出信号である出力電流を検出すればよい。即ち、図6を用いて説明したように、電圧の  
10 印加と出力電流の検出のタイミングを合せる必要がない。

更に、溜まった電子を順番に隣のセンサ要素に送るように電荷転送素子を用いてもよい。電荷転送素子には例えばCCDが挙げられる。

この場合、トランジスタとして電荷読出し用のMOSFETを用い、  
15 受動素子とソースとしての拡散層を連続させ、選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送すればよい。

更に、液晶電極の電位変化に対応して受動素子に電荷を供給し、かつ  
20 液晶電極の電位変化が終わる前に、供給した電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、受動素子の拡散層と連続させて形成すれば、安定した電荷転送が可能となる。

また、電荷転送素子を用いれば、横選択部で、マルチプレクサ等のスイッチング回路を用いる必要はなくなる。

25 また、上記実施の形態のセンサ要素は、いずれも半導体センサであるため、光の照射によって光電変換が起こり、電子を発生することがある

。これは、誤動作の原因となるため、センサ要素の周りを遮光することが望ましい。

#### 産業上の利用可能性

- 5       本発明によれば、液晶パネル用の基板の形状を精細に、且つ効率的に検査可能な検査装置及び検査方法を提供することができる。

10

15

20

25

## 請求の範囲

1. 液晶パネル用基板に液晶駆動用の信号が供給されることによる、  
該液晶パネル用基板の電極の電位変化を、非接触で検出する検査装置で  
5 あって、

前記電極の電位変化を、複数のセンサ要素を用いて検出する検出手段  
と、

前記センサ要素を選択するための選択信号を出力する選択手段と、  
を備え、

10 前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

前記電極に対し静電容量結合の対向電極として動作し、前記電極の  
電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力  
15 に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

2. 前記センサ要素を、前記液晶パネルを構成する対向電極の代わり  
に配置することを特徴とする請求項1に記載の検査装置。

3. 前記液晶パネルはTFTパネルであって、

20 前記検出手段は、

該TFTパネルを構成する薄膜トランジスタのソース電極及びゲート  
電極に液晶駆動用の信号を印加することによる、ドレイン電極の電位変  
化を検出することを特徴とする請求項1又は2に記載の検査装置。

4. 前記トランジスタは電流読出し用のMOSFETであって、前記  
25 受動素子とソースとしての拡散層が連続しており、前記選択信号をゲート  
トに入力することによって、ドレインから検出信号を得ることを特徴と



する請求項 1、2 又は 3 に記載の検査装置。

5 5. 前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項 1、2 又は 3 に記載の検査装置。

10 6. 前記トランジスタは、直列に配置された第 1、第 2 MOSFET であって、前記受動素子を前記第 1 MOSFET のゲートに接続し、前記選択信号を前記第 2 MOSFET のゲートに接続し、前記第 1 MOSFET のゲートに印加された前記受動素子の電位に応じて変化する前記第 1 MOSFET のソース電位を前記第 2 MOSFET のドレインで受けて、ソースから検出信号として出力することを特徴とする請求項 1、2 又は 3 に記載の検査装置。

15 7. 前記トランジスタは、直列に配置された第 1、第 2 薄膜トランジスタであって、前記受動素子を前記第 1 薄膜トランジスタのゲートに接続し、前記選択信号を前記第 2 薄膜トランジスタのゲートに接続し、前記第 1 薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第 1 薄膜トランジスタのソース電位を前記第 2 薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項 1、2 又は 3 に記載の検査装置。

20 8. 前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする請求項 1、2 又は 3 に記載の検査装置。

25 9. 前記トランジスタは電荷読出し用の MOSFET であって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソ

ース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする請求項 1、2 又は 3 に記載の検査装置。

10 10. 前記電極の電位変化に対応して前記受動素子に電荷を供給し、  
5 かつ電極の電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給 MOSFET のドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする請求項 9 に記載の検査装置。

11. 前記センサ要素は、マトリクス状に配置されていることを特徴とする請求項 1 乃至 10 のいずれか一つに記載の検査装置。

12. 前記検出手段におけるセンサ要素は、  
前記受動素子の表面に接触する導体板を更に含むことを特徴とする請求項 1 乃至 11 のいずれか一つに記載の検査装置。

13. 更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする請求項 1 乃至 12 のいずれか一つに記載の検査装置。

14. 液晶パネル用基板に液晶駆動用の信号を供給することによる、該液晶パネル用基板の電極の電位変化を、複数のセンサ要素を用いて非接触で検出する液晶パネルの検査方法であって、

20 前記センサ要素が、

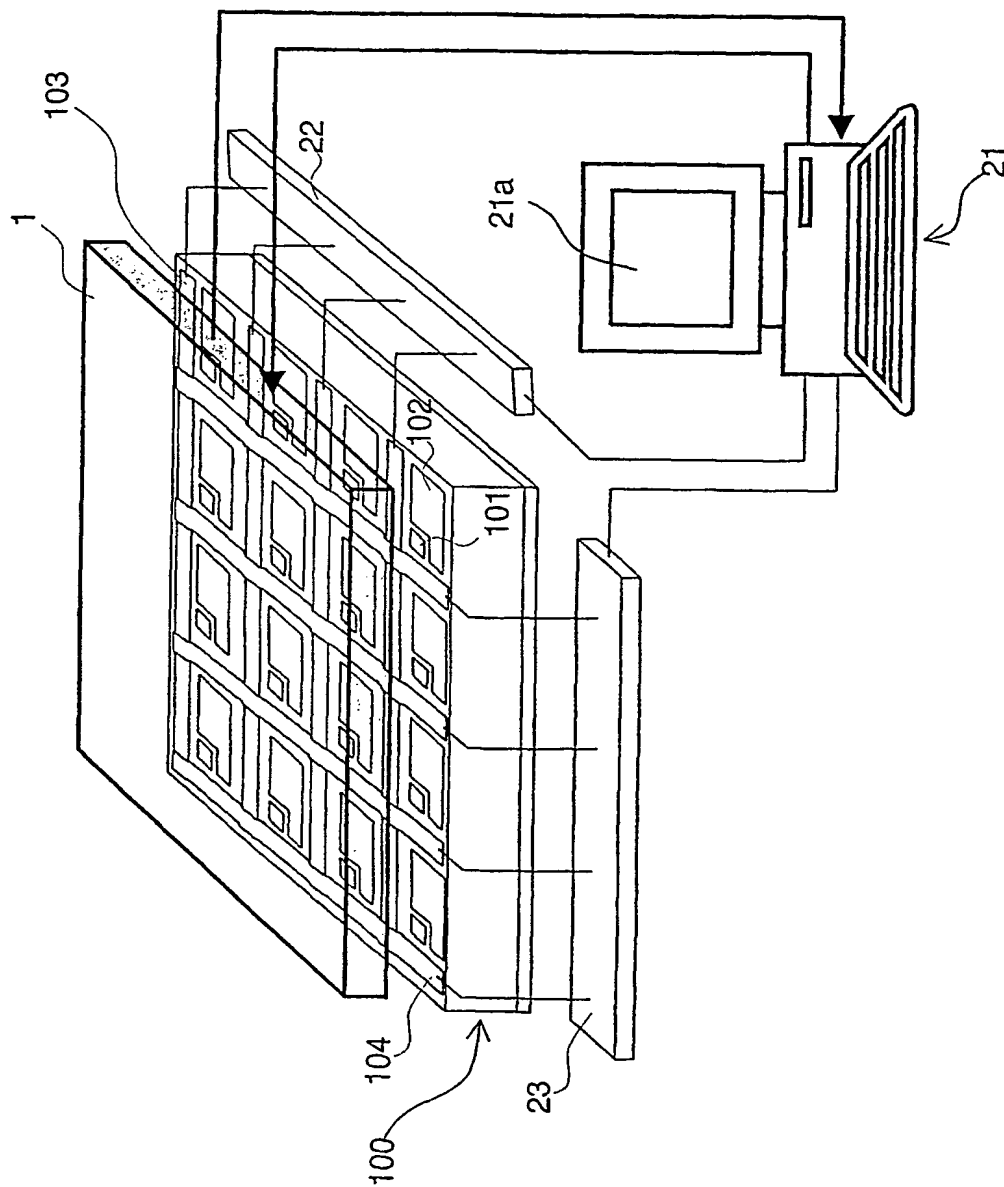
半導体の単結晶上、または、平板上に構成され、

前記電極に対し静電容量結合の対向電極として動作し、前記電極の電位変化を検出する受動素子と、

前記受動素子からの検出信号を出力するトランジスタと、

25 を含むことを特徴とする検査方法。

1 / 17

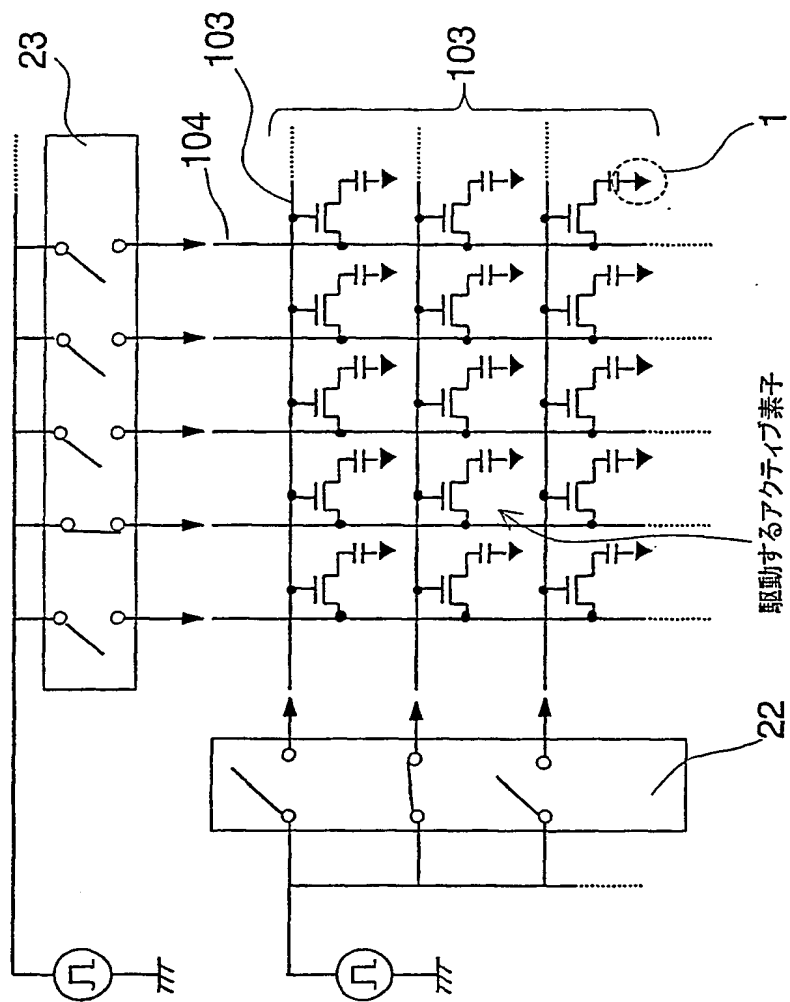


第1図



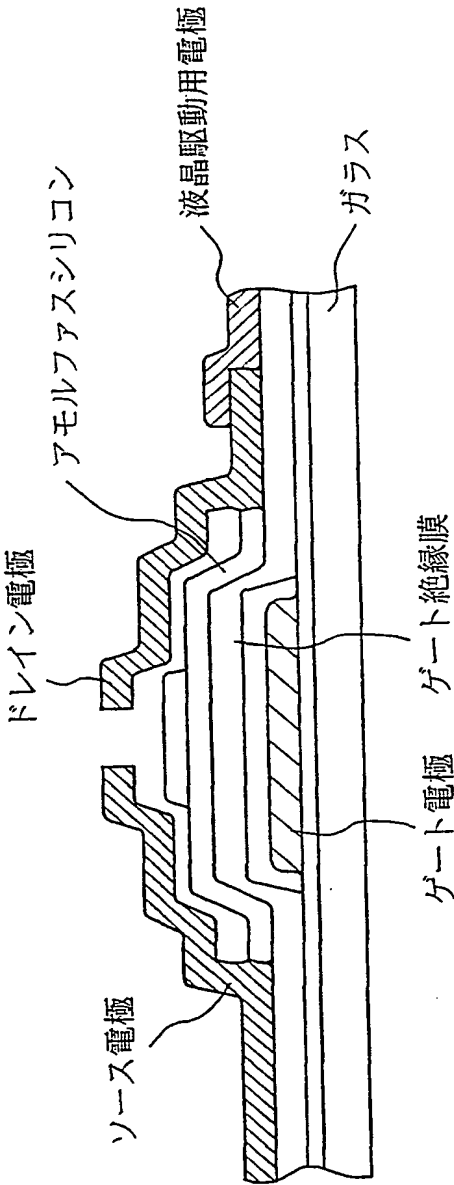
2 / 1 7

第2図





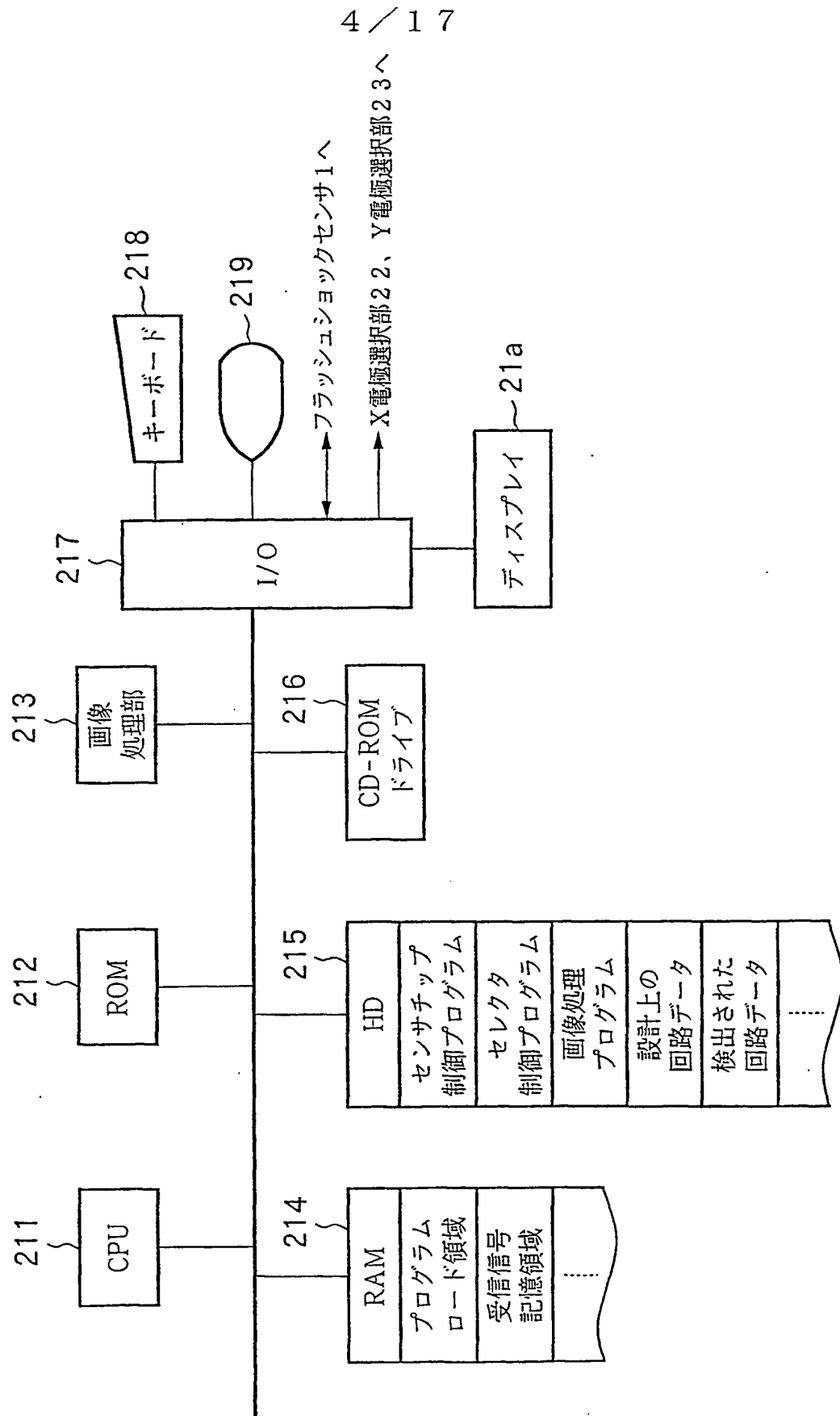
第3図





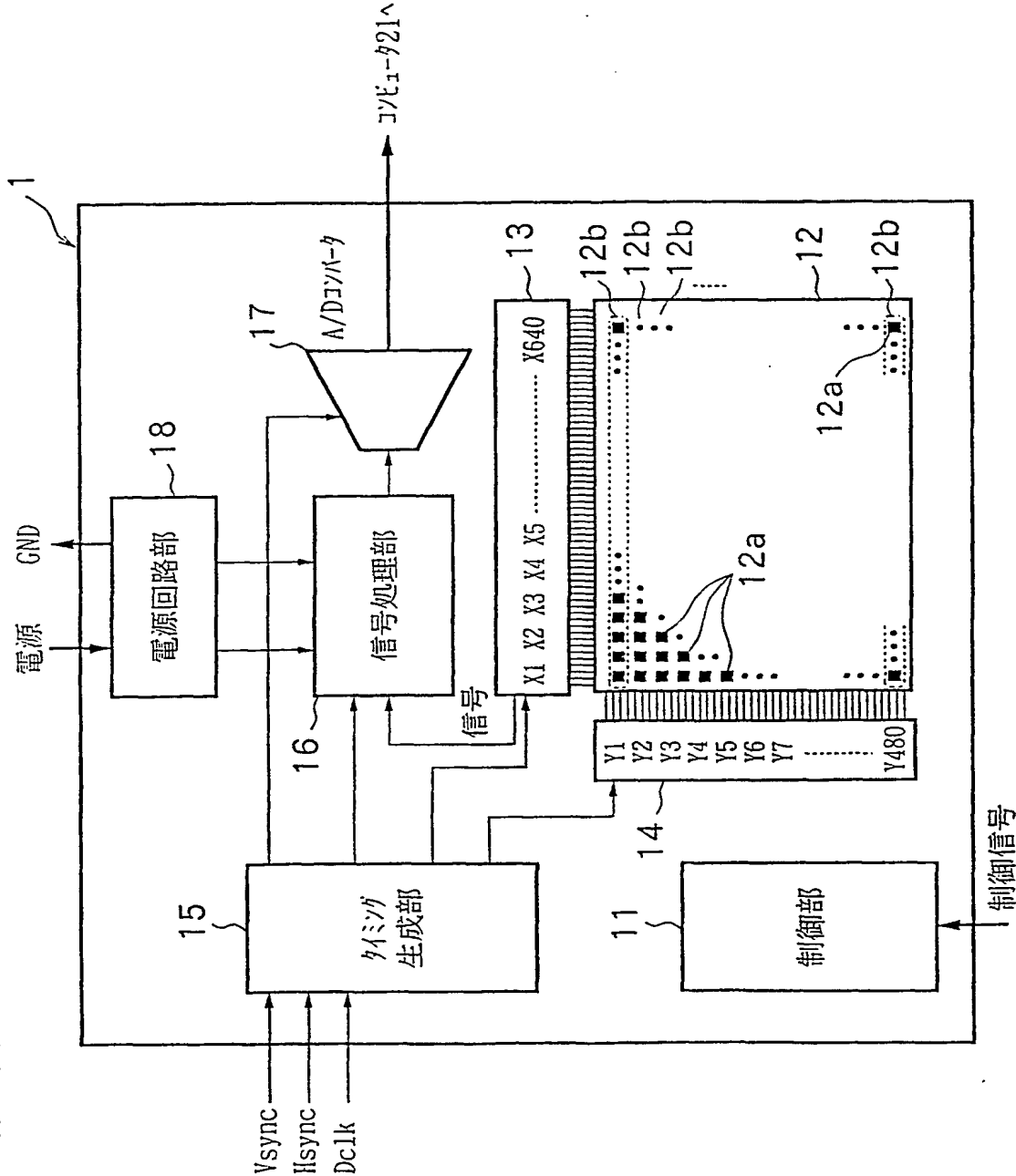


第4図



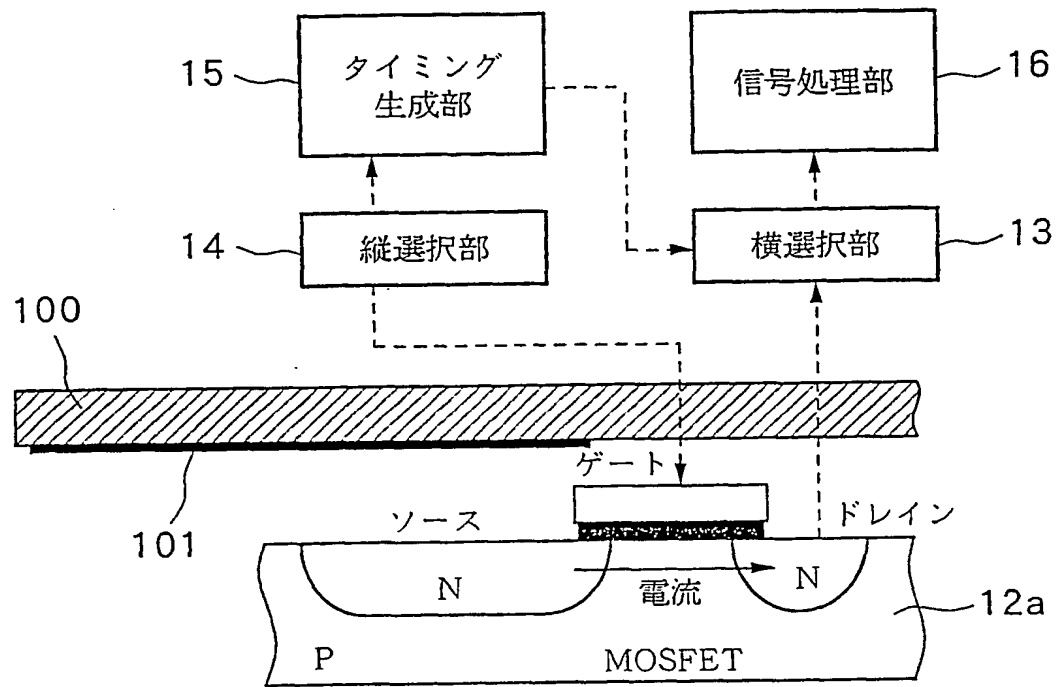


第5図





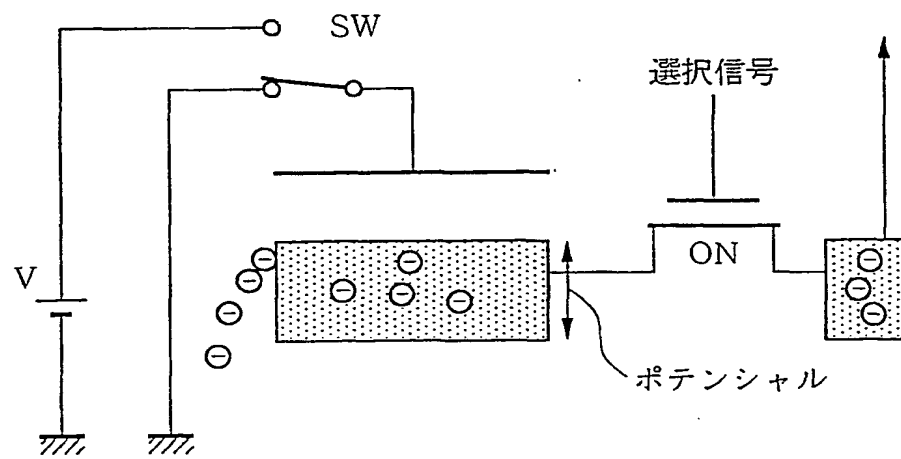
第6図





7 / 17

第7図

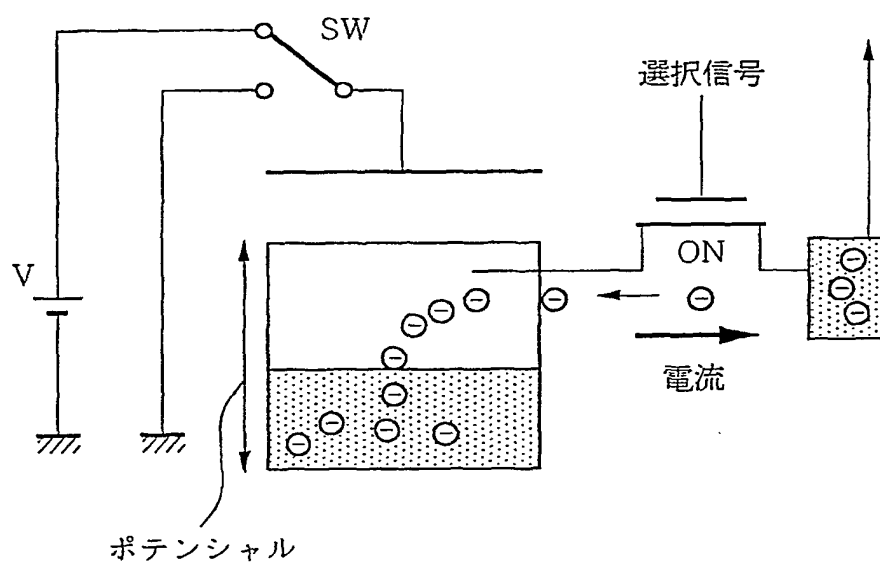






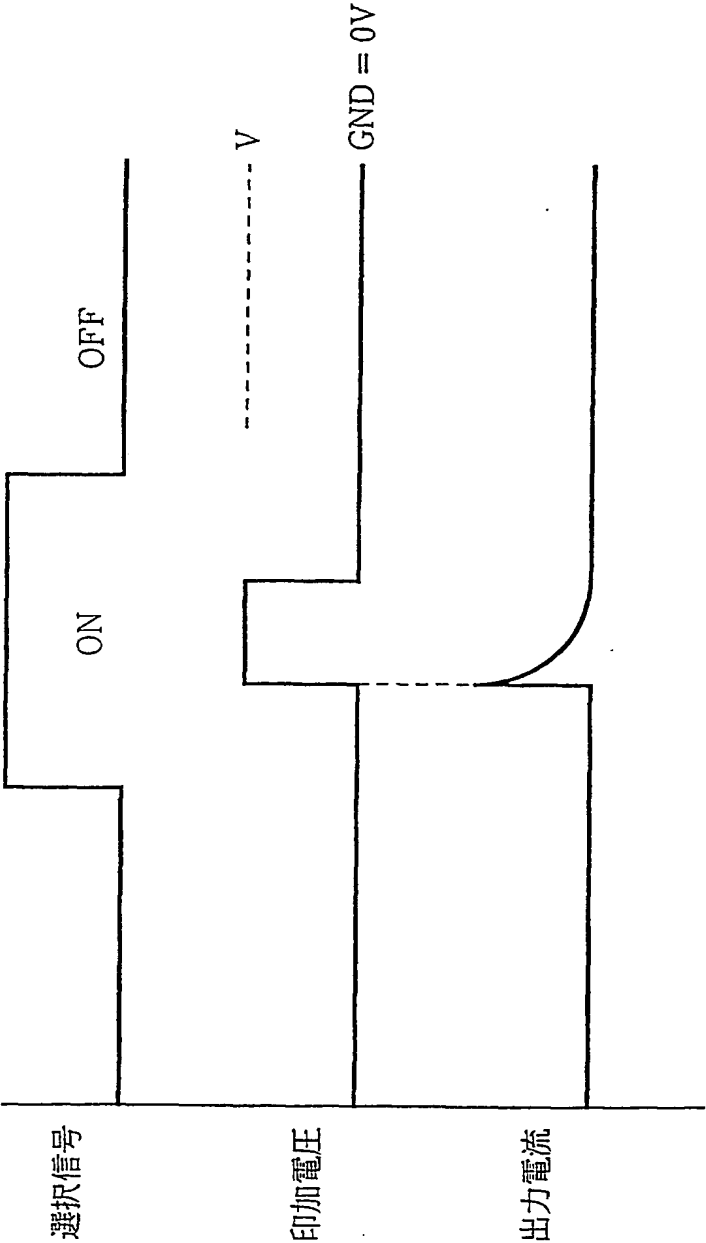
8 / 17

第8図





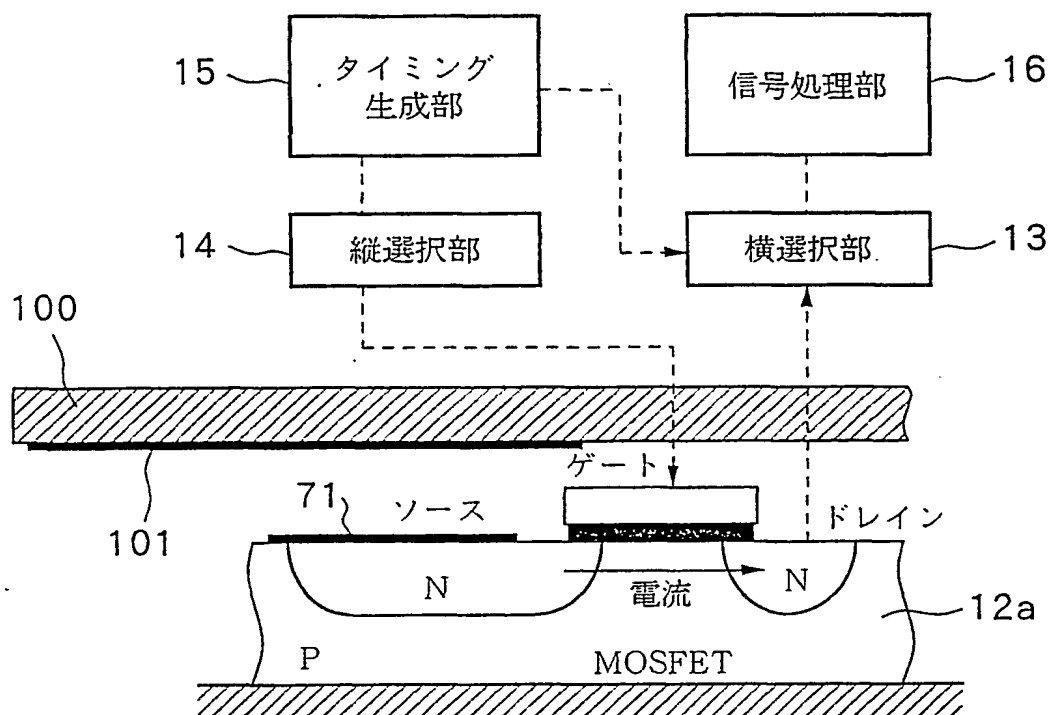
第9図





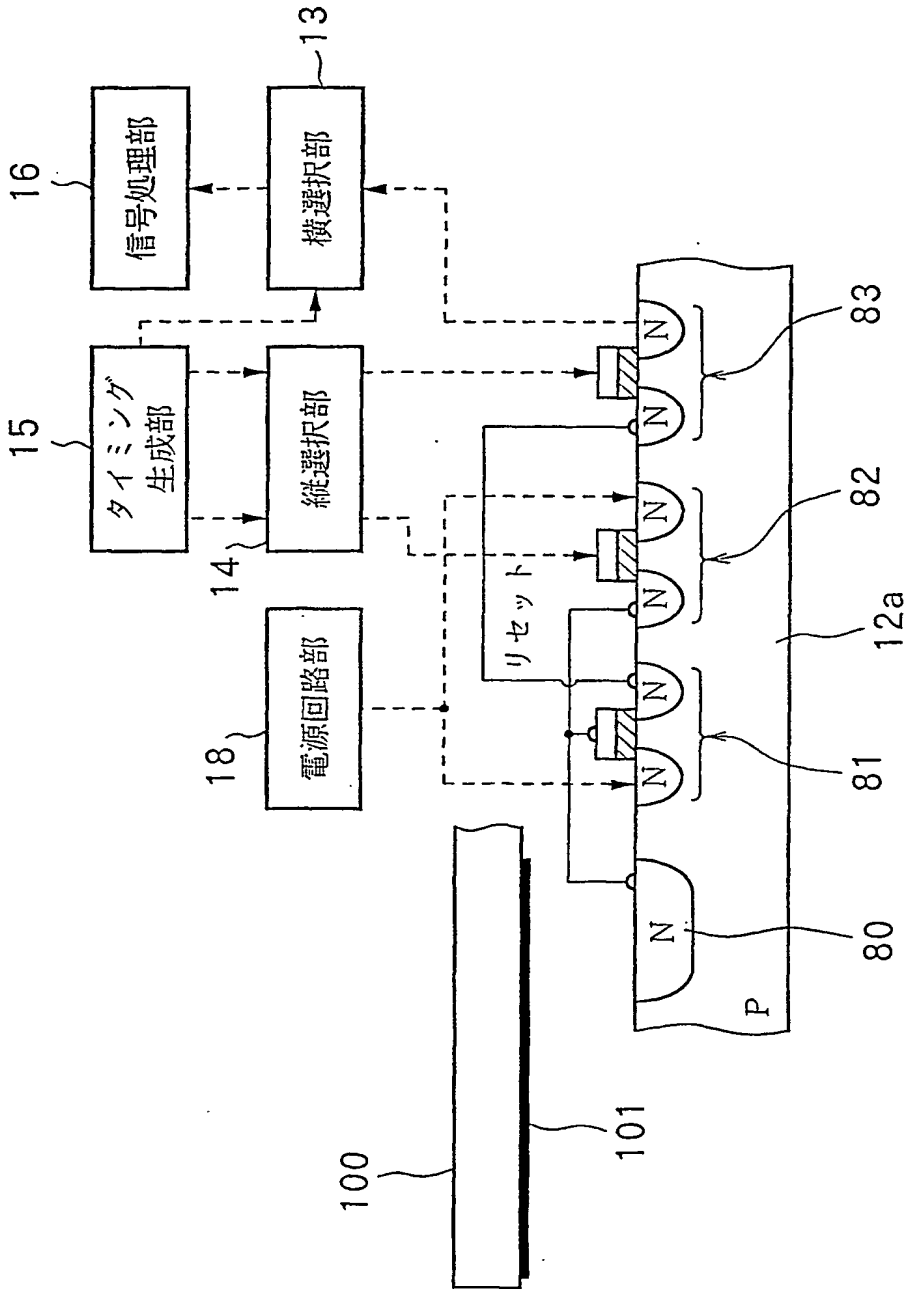
10 / 17

第10図





第11図

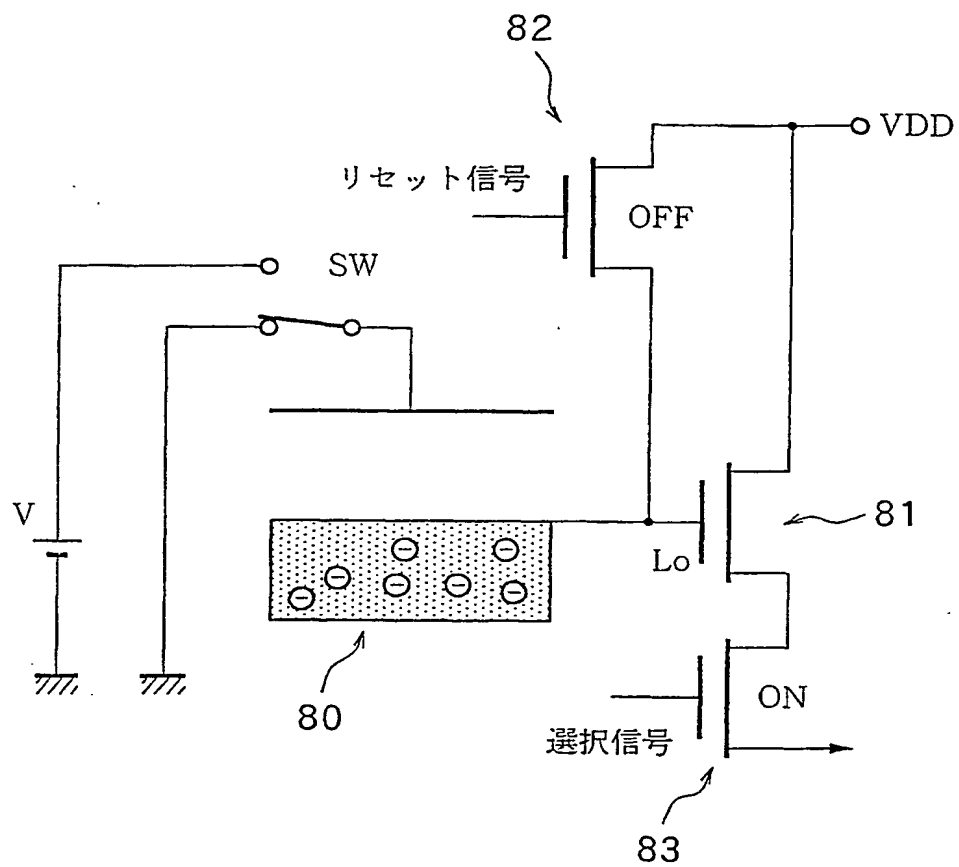






12/17

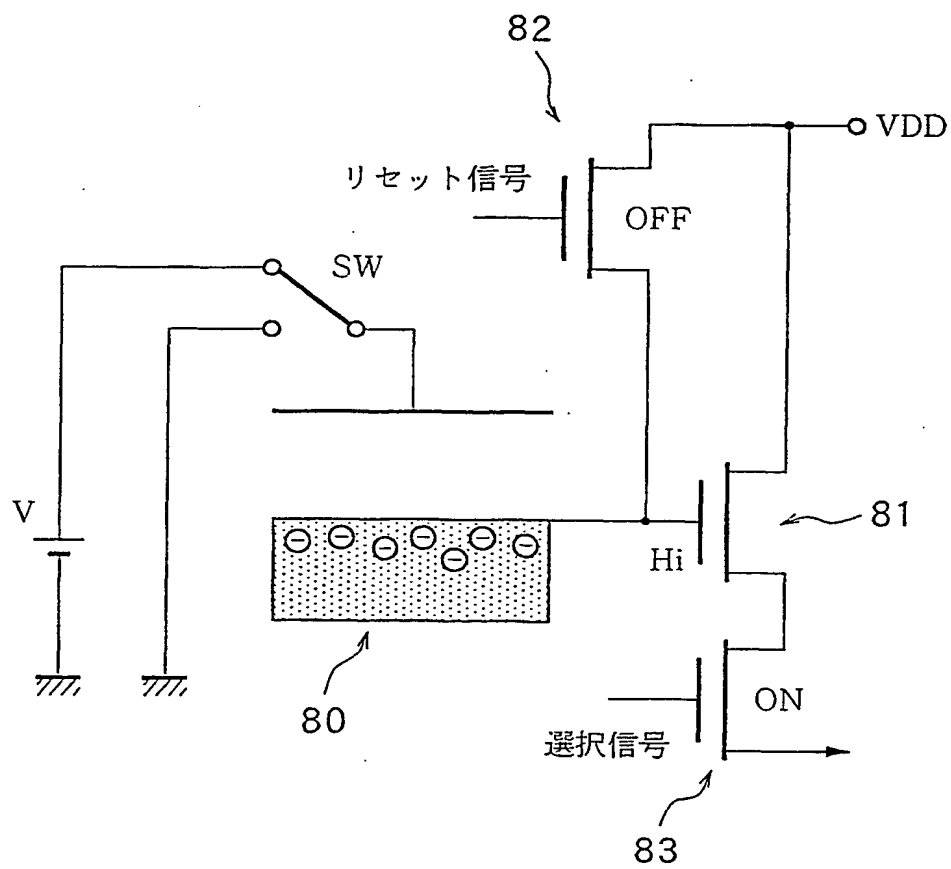
第12図





13/17

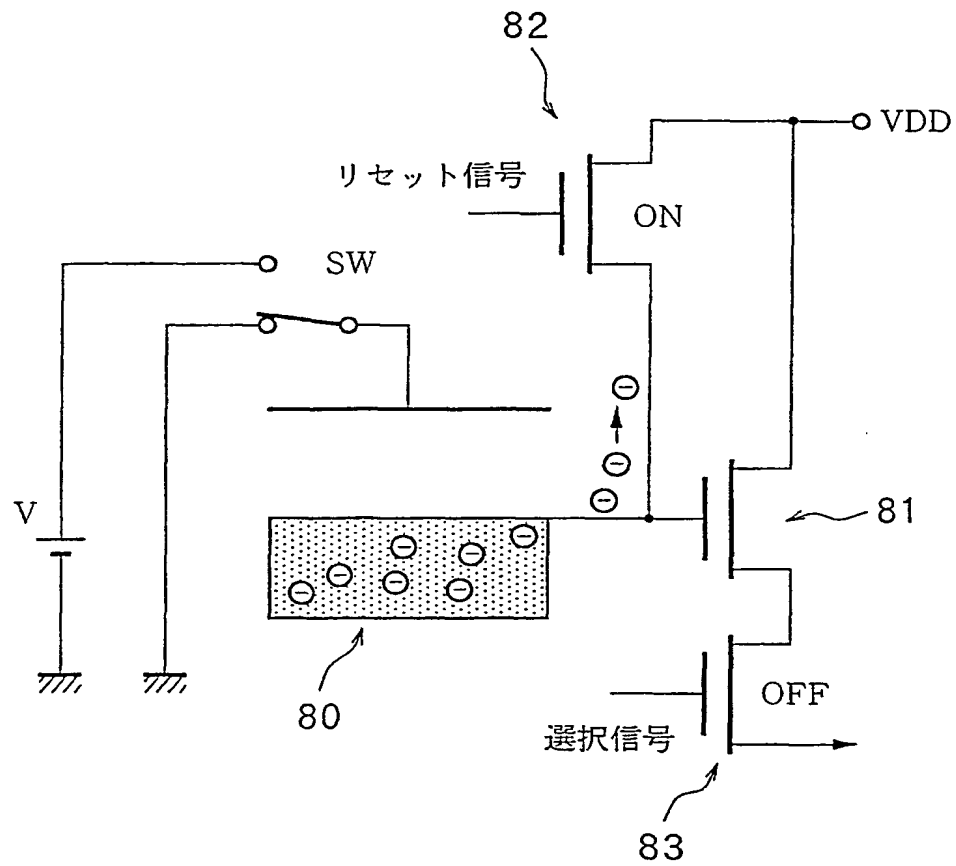
第13図





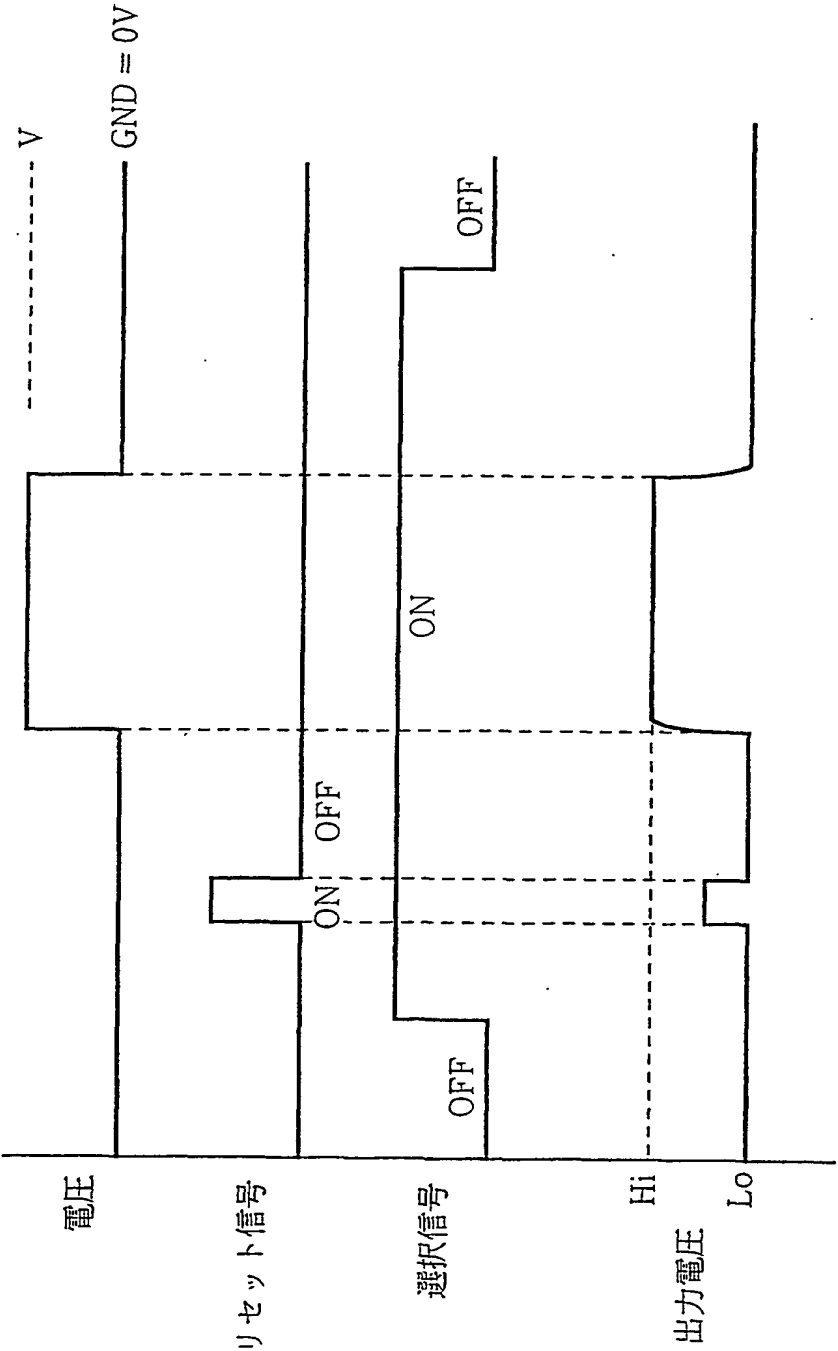
14 / 17

第14図





第15図

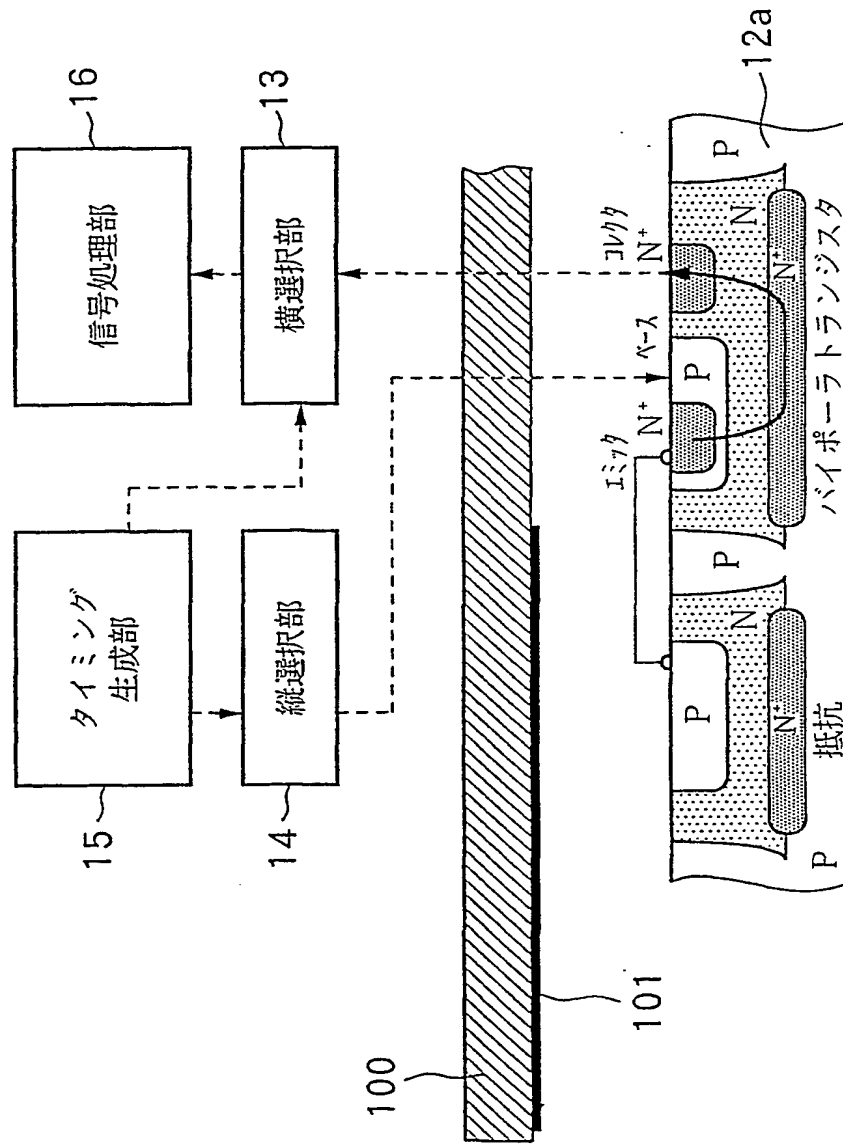






16 / 17

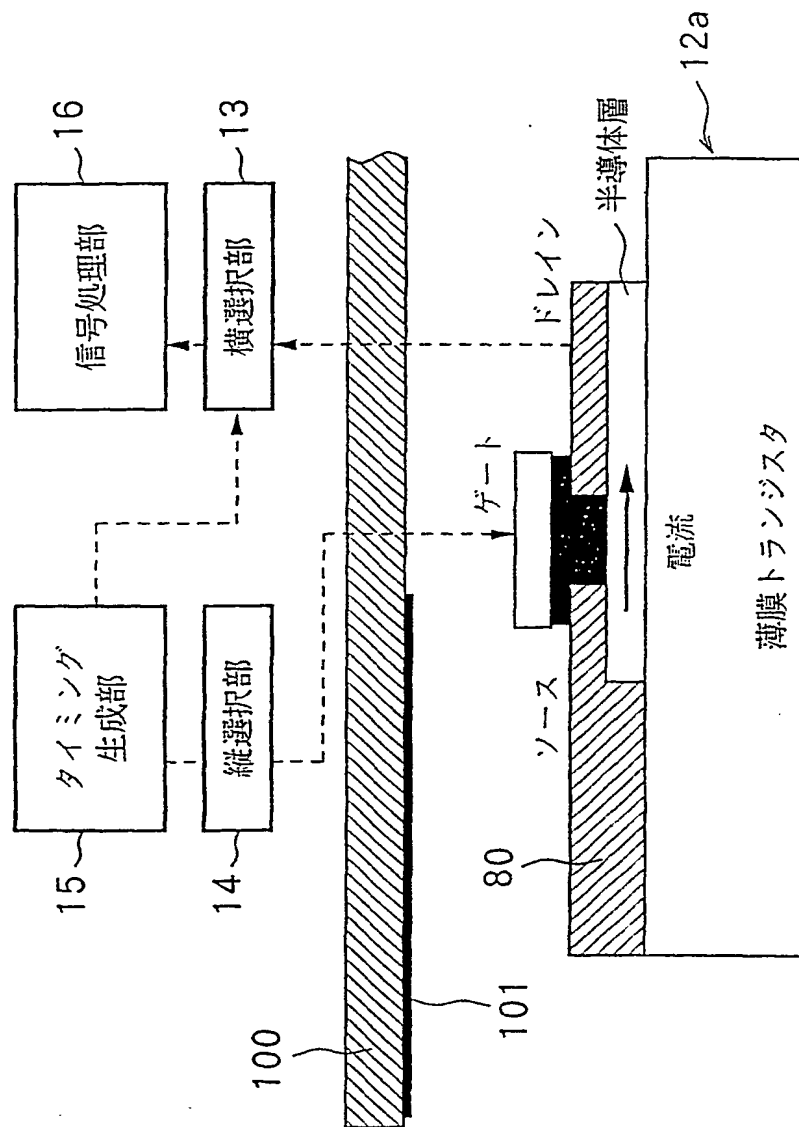
第16図





17 / 17

第17図





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05838

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01R 31/02, 31/00, G02F 1/136

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G01R 31/02, 31/00, G02F 1/13-1/136

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 05-10999 A (Tokyo Electron, Limited), 19 January, 1993 (19.01.93),	1-3, 11, 14
A	Full text (Family: none)	4-10, 12, 13
Y	JP 09-265063 A (Sony Corporation), 07 October, 1997 (07.10.97),	1-3, 11, 14
A	Full text (Family: none)	4-10, 12, 13
Y	JP 2000-55991 A (Okano Hightech K.K.), 25 February, 2000 (25.02.00), page 6, left column, line 33 to page 8, left column, line 33; Figs. 2, 4, 23 (Family: none)	11
A	JP 01-191197 A (Fuji Electric Co., Ltd.), 01 August, 1989 (01.08.89), Full text (Family: none)	1-14
A	JP 06-308530 A (Tokyo Kasoode Kenkyusho K.K.), 04 November, 1994 (04.11.94), Full text (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
02 October, 2001 (02.10.01)

Date of mailing of the international search report  
16 October, 2001 (16.10.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05838

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-326424 A (Seiko Epson Corporation), 26 November, 1999 (26.11.99), Full text (Family: none)	1-14
A	US 5170127 B (Photon Dynamics Inc.), 08 December, 1992 (08.12.92), Full text & JP 06-27428 A	1-14
EY	JP 2001-235501 A (Okano Hightech K.K.), 31 August, 2001 (31.08.01), Full text (Family: none)	1-14

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G 01 R 31/02, 31/00  
G 02 F 1/136

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G 01 R 31/02, 31/00  
G 02 F 1/13-1/136

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2001年  
日本国実用新案登録公報 1996-2001年  
日本国登録実用新案公報 1994-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u>	J P 05-10999 A (東京エレクトロン株式会社) 19. 1月. 1993 (19. 01. 93)	<u>1-3, 11, 14</u>
<u>A</u>	全文 (ファミリーなし)	<u>4-10, 12, 13</u>
<u>Y</u>	J P 09-265063 A (ソニー株式会社) 07. 10月. 1997 (07. 10. 97)	<u>1-3, 11, 14</u>
<u>A</u>	全文 (ファミリーなし)	<u>4-10, 12, 13</u>

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

02. 10. 01

国際調査報告の発送日

16.10.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾崎 淳史

2 T

8907

電話番号 03-3581-1101 内線 6230

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u>	JP 2000-55991 A (オー・エイチ・ティー株式会社) 25. 2月. 2000 (25. 02. 00) 第6頁左欄第33行目～第8頁左欄第33行目, 第2図, 第4図, 第23図 (ファミリーなし)	<u>11</u>
<u>A</u>	JP 01-191197 A (富士電機株式会社) 01. 8月. 1989 (01. 08. 89) 全文 (ファミリーなし)	<u>1-14</u>
<u>A</u>	JP 06-308530 A (株式会社東京カソード研究所) 04. 11月. 1994 (04. 11. 94) 全文 (ファミリーなし)	<u>1-14</u>
<u>A</u>	JP 11-326424 A (セイコーエプソン株式会社) 26. 11月. 1999 (26. 11. 99) 全文 (ファミリーなし)	<u>1-14</u>
<u>A</u>	US 5170127 B (Photon Dynamics Inc.) 08. 12月. 1992 (08. 12. 92) 全文& JP 06-27428 A	<u>1-14</u>
<u>EY</u>	JP 2001-235501 A (オー・エイチ・ティー株式会社) 31. 8月. 2001 (31. 08. 01) 全文 (ファミリーなし)	<u>1-14</u>